

## ⑫ 公開特許公報(A)

昭63-251879

⑪ Int.Cl.<sup>4</sup>G 06 K 19/00  
G 06 F 12/14

識別記号

3 2 0

庁内整理番号

P-6711-5B  
C-7737-5B

⑬ 公開 昭和63年(1988)10月19日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 携帯用情報処理装置

⑮ 特 願 昭62-84789

⑯ 出 願 昭62(1987)4月8日

⑰ 発 明 者 大 川 友 幸 東京都小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑰ 発 明 者 三 好 健 児 東京都小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑰ 発 明 者 松 原 清 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社  
東京都小平市上水本町1479番地

⑰ 代 理 人 弁理士 小川 勝男 外1名

## 明 細 書

(従来技術)

## 1. 発明の名称

携帯用情報処理装置

## 2. 特許請求の範囲

1. 情報処理部と複数種類の情報記憶部とを備える携帯用情報処理装置において、上記複数種類の全情報記憶部に対するアクセスを許可する共通のパスワードと、個別の情報記憶部へのアクセスを許可する個別のパスワードとによる情報記憶部に対するアクセス制御機能を設けたことを特徴とすることを特徴とする携帯用情報処理装置。

2. 上記携帯用情報処理装置は、ICカードにより構成されるものであることを特徴とする特許請求の範囲第1項記載の携帯用情報処理装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、携帯用情報処理装置に関し、例えば複数種類の個人情報格納される情報記憶部を持つICカードに利用して有効な技術に関するものである。

マイクロプロセッサとメモリを内蔵し、キャッシュ・カードやクレジット・カード等に利用されるICカードが開発されつつある。このようなICカードに関しては、例えば日経マグロウヒル社1985年12月2日付「日経エレクトロニクス」頁276～頁292がある。

(発明が解決しようとする問題点)

上記のようなICカードに用いられるメモリ部の記憶容量は、半導体集積回路技術の進展により益々増大される傾向にある。そこで、本願発明者は、上記キャッシュ・カードや、クレジット・カードといったようにそれぞれの用途に応じて個別にカード化するのではなく、キャッシュ・カード、クレジット・カード、カルテ及び健康診断カード、保健証といったような複合機能を持つICカードを考えた。このような複数種類の情報処理及び記憶機能を備えたICカードにおいては、それぞれの情報機密の保護が問題となる。すなわち、1つのパスワードで全ての情報の読み出しを可能とす

ると、銀行側で個人のカルテや健康診断内容の読み出しが可能になったり、逆に医療機関で個人の預金残高の読み出しが可能になったりしてしまう。そこで、それぞれの情報の種類に応じて個別にパスワードを設けると、カード所有者においては全パスワードを記憶しなければならなくなり不便なものとなる。

この発明の目的は、機密保護を図りつつ所有者によるアクセスの簡便化を実現した携帯用情報処理装置を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

(問題点を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、情報処理部と複数種類の情報記憶部とを備える携帯用情報処理装置において、上記複数種類の全情報記憶部に対するアクセスを許可する共通のパスワードと、個別の情報記憶部へのア

クセスを許可する個別のパスワードとにより情報記憶部に対するアクセス管理を行うようにするものである。

(作 用)

上記した手段によれば、情報の種類に応じた個々の機関では登録された個別のパスワードによりメモリ部のアクセスが行われることによって機密保持が確保できるとともに、所有者は1つのパスワードのみを記憶すればよい。

(実施例)

第1図には、この発明の一実施例を示す要部ブロック図が示されている。

同図においては、マイクロプロセッサとメモリからなるICカードにおけるメモリ部と、そのアクセス制御部のみが示されている。

情報記憶部は、例えばメモリ部M0～M2となり、それぞれに個別の情報が記憶される。このメモリ部M0～M2は、例えば電気的に書き込み/消去が可能にされたEEPROM(エレクトリ

カル・メモリ)により構成される。例えば、メモリ部M0はキャッシュ・カード用、メモリ部M1はカルテに、メモリ部M2は、保健証にといったように複数種類の情報がそれぞれに記憶される。これによって、この実施例のICカードは、複合機能を備えたいわば個人総合カードといった機能を持つようにされる。

上記各メモリ部M0～M2に対応して、それぞれのアクセスを許可するサブパスワードSP0ないしSP2が、記憶回路SM0～SM2に記憶される。この記憶回路SM0～SM2も、特に制限されないが、上記同様なEEPROMから構成される。上記サブパスワードSP0～SP2は、それぞれ複数の数値及び/又は文字の組み合わせからなり複数バイトの情報とされる。この記憶回路SM0～SM2には、上記情報処理を担当する各機関に対して登録されたサブパスワードが記憶される。

この実施例では、上記カード所有者による個別情報のアクセスを簡便にするため、個人のみが知

るマスタパスワードMPを登録する記憶回路MMが設けられる。この記憶回路MMは、特に制限されないが、上記同様なEEPROMから構成される。このマスタパスワードMPも、上記同様に複数の数値及び/又は文字の組み合わせからなり複数バイトの情報とされる。

上記各記憶回路MM、SM0～SM2に登録された各パスワードMP、SP0～SP2は、それぞれ比較一致検出回路DC1ないしDC4の一方の入力に供給される。

所定の操作によって、外部から供給されるパスワードは、パスワード用レジスタPWRに取り込まれる。このパスワード用レジスタPWRに取り込まれたパスワードPIは、それぞれ上記比較一致検出回路DC1ないしDC4の他方の入力に共通に供給される。

上記比較一致検出回路DC1ないしDC4は、上記入力されたパスワードPIと、記憶回路MM、SM0～SM2にそれぞれ記憶されるパスワードMP、SP0～SP2との比較動作を行う。

例えば、上記入力されたパスワードP<sub>1</sub>がサブパスワードSP<sub>0</sub>と一致するなら、比較一致検出回路DC<sub>2</sub>が一致検出出力を形成する。これにより、オア(OR)ゲート回路G<sub>1</sub>を通してメモリ部M<sub>0</sub>のアクセスを許可するメモリセレクト信号MS<sub>0</sub>が形成される。したがって、図示しないマイクロプロセッサ等により発生されるアドレス信号ADDを受けるデコード回路DCRにより選択されるメモリ部M<sub>0</sub>の所定の記憶エリアの読み出し(又は書き込み)が行われる。このとき、比較一致回路DC<sub>1</sub>、DC<sub>3</sub>及びDC<sub>4</sub>においては一致信号が形成されないから、メモリ部M<sub>1</sub>、M<sub>2</sub>のアクセスは行われない。

また、同様に上記入力されたパスワードP<sub>1</sub>がサブパスワードSP<sub>1</sub>と一致するなら、比較一致検出回路DC<sub>3</sub>が一致検出出力を形成する。これにより、オア(OR)ゲート回路G<sub>2</sub>を通してメモリ部M<sub>1</sub>のアクセスを許可するメモリセレクト信号MS<sub>1</sub>が形成される。したがって、図示しないマイクロプロセッサ等により発生されるアドレ

ス信号ADDを受けるデコード回路DCRにより選択されるメモリ部M<sub>1</sub>の所定の記憶エリアの読み出し(又は書き込み)が行われる。このとき、比較一致回路DC<sub>1</sub>、DC<sub>2</sub>及びDC<sub>4</sub>においては一致信号が形成されないから、メモリ部M<sub>0</sub>、M<sub>2</sub>のアクセスは行われない。

さらに、同様に上記入力されたパスワードP<sub>1</sub>がサブパスワードSP<sub>2</sub>と一致するなら、比較一致検出回路DC<sub>4</sub>が一致検出出力を形成する。これにより、オア(OR)ゲート回路G<sub>3</sub>を通してメモリ部M<sub>2</sub>のアクセスを許可するメモリセレクト信号MS<sub>2</sub>が形成される。したがって、図示しないマイクロプロセッサ等により発生されるアドレス信号ADDを受けるデコード回路DCRにより選択されるメモリ部M<sub>2</sub>の所定の記憶エリアの読み出し(又は書き込み)が行われる。このとき、比較一致回路DC<sub>1</sub>、DC<sub>2</sub>及びDC<sub>3</sub>においては一致信号が形成されないから、メモリ部M<sub>0</sub>、M<sub>1</sub>のアクセスは行われない。このようにして、上記メモリ部M<sub>0</sub>～M<sub>2</sub>に割り当てられた情報の

処理を受け持つ関係機関でのメモリアクセスは、サブパスワードに対応して選択的に行われる結果、情報の記憶保護を行うことができる。

これに対して、カード所有者(個人)が自己の情報の読み出しを行うときには、外部からマスターパスワードを供給する。これによって、比較一致検出回路DC<sub>1</sub>から比較一致信号が形成される。この比較一致信号は、オアゲート回路G<sub>1</sub>ないしG<sub>3</sub>を介して全メモリ部M<sub>0</sub>～M<sub>2</sub>に対してアクセスを許可するメモリセレクト信号MS<sub>0</sub>～MS<sub>2</sub>を発生させる。したがって、上記マスターパスワードを用いることによって、カード所有者はデコードDCRにより指定される任意のメモリ領域(メモリ部M<sub>0</sub>～M<sub>2</sub>)の情報の読み出しを行うことができる。

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1)情報処理部と複数種類の情報記憶部とを備える携帯用情報処理装置において、上記複数種類の全情報記憶部に対するアクセスを許可する共通のバ

スワードと、個別の情報記憶部へのアクセスを許可する個別のパスワードとにより情報記憶部に対するアクセス管理を行うようにすることによって、情報の種類に応じた個々の機関では登録された個別のパスワードによりメモリ部のアクセスが行われることによって機密保持が確保できるとともに、所有者は1つのパスワードのみを記憶すればよいという効果が得られる。

(2)上記(1)により、複合機能を持つICカードを実現できるから、各機能毎にそれぞれICカードを形成する場合に比べてコストを大幅に低下できるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、情報記憶部におけるメモリ部の数は、それが適用される情報処理機能に応じて増加又は減少させることができる。また、上記パスワードの比較一致検出機能は、マイクロプロセッサの論

理演算機能を利用したソフトウェアにより実現するものであってもよい。このように、パスワードの階層化による個別情報の保護は、種々の実施例形態を採ることができる。また、入力されるパスワードが所定の回数以上連続して不一致のときには、パスワードの入力機能を禁止させる機能等を設けることによって、いっそうの機密保持の強化を行うようにするものであってもよい。

この発明は、いわゆるICカードのような携帯用情報処理装置に広く利用できる。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、情報処理部と複数種類の情報記憶部とを備える携帯用情報処理装置において、上記複数種類の全情報記憶部に対するアクセスを許可する共通のパスワードと、個別の情報記憶部へのアクセスを許可する個別のパスワードとにより情報記憶部に対するアクセス管理を行うようにすることによって、情報の種類に応じた

個々の機能では登録された個別のパスワードによりメモリ部のアクセスが行われることによって機密保持が確保できるとともに、所有者は1つのパスワードのみを記憶すればよいものとなる。

#### 4. 図面の簡単な説明

第1図は、この発明の要部一実施例を示すブロック図である。

M0～M2・・・メモリ部、MM・・・記憶回路、SM0～SM2・・・記憶回路、DC1～DC4・・・比較一致検出回路、G1～G3・・・オアゲート回路、PWR・・・パスワードレジスタ、DCR・・・デコーダ回路

代理人弁理士 小川 勝男

